

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-017847

(43)Date of publication of application : 19.01.1996

(51)Int.Cl.

H01L 21/331
H01L 29/73
H01L 21/76
H01L 27/04
H01L 21/822
H01L 21/8249
H01L 27/06

(21)Application number : 07-137681

(71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 05.06.1995

(72)Inventor : CRABBE EMMANUEL F
JENKINS KEITH A
SNARE JEFFREY L

(30)Priority

Priority number : 94 268350

Priority date : 30.06.1994

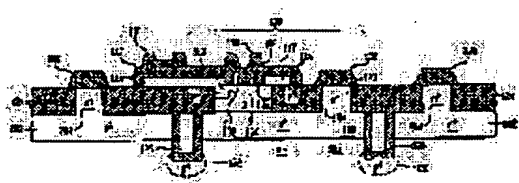
Priority country : US

(54) SEMICONDUCTOR CHIP WITH ON-CHIP GROUND PLANE

(57)Abstract:

PURPOSE: To manufacture a semiconductor chip without adding any manufacturing process or cost for the manufacture of a chip itself by reducing a parasitic signal while a device is operating.

CONSTITUTION: A semiconductor chip with an on-chip ground plane has a low-resistivity semiconductor region 202 in a plurality of non-device regions of the chip and a reach-through region 204 that is electrically connected to the low-resistivity semiconductor region. At least one surface side contact 206 is used to electrically connect the reach-through region and the low-resistivity semiconductor region to the ground potential and to ground the on-chip ground plane electrically.



LEGAL STATUS

[Date of request for examination] 29.10.1997

[Date of sending the examiner's decision of rejection] 11.04.2001

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3284512

[Date of registration] 08.03.2002

[Number of appeal against examiner's decision
of rejection] 2001-11234

[Date of requesting appeal against examiner's
decision of rejection] 29.06.2001

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-17847

(43) 公開日 平成8年(1996)1月19日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/331
29/73
21/76

H 0 1 L 29/ 72

21/ 76

L

審査請求 未請求 請求項の数20 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願平7-137681

(22) 出願日 平成7年(1995)6月5日

(31) 優先権主張番号 2 6 8 3 5 0

(32) 優先日 1994年6月30日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 エマニュエル・エフ・クレイブ

アメリカ合衆国 ニューヨーク州 チャッパ
パカ ランプリング ブルック ロード
97

(74) 代理人 弁理士 合田 潔 (外2名)

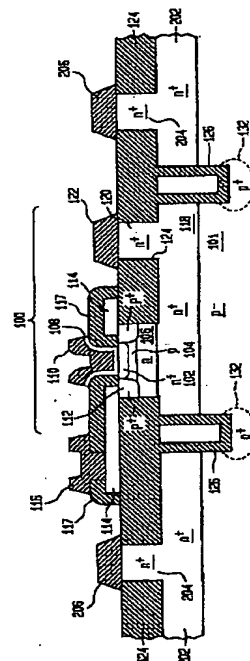
最終頁に続く

(54) 【発明の名称】 オンチップ・グラウンド・プレーンを有する半導体チップ

(57) 【要約】

【目的】 デバイス動作中の寄生信号を減少させ、チップ自身の作製に対して製造工程あるいはコストを追加することなしに製造することができる、半導体デバイスのためのオンチップ・グラウンド・プレーンを提供する。

【構成】 オンチップ・グラウンド・プレーンを有する半導体チップは、チップの複数のノンデバイス領域内の低抵抗率半導体領域202と、低抵抗率半導体領域に電氣的に接続されたリーチスルー領域204とを有している。1つ以上の表側コンタクト206は、リーチスルー領域と低抵抗率半導体領域をグラウンド電位に電氣的に接続して、オンチップ・グラウンド・プレーンを電氣的に接地するために使用される。



1

【特許請求の範囲】

【請求項1】 オンチップ・グラウンド・ブレインを有する半導体チップにおいて、

前記チップの複数のノンデバイス領域内の低抵抗率半導体領域と、

前記低抵抗率半導体領域に電氣的に接続されたリーチスルー低抵抗率領域と、

前記リーチスルー低抵抗率領域と前記低抵抗率半導体領域をグラウンド電位に電氣的に結合して、前記オンチップ・グラウンド・ブレインを電氣的に接地する、前記リーチスルー領域に電氣的に接続された表側コンタクトと、を有することを特徴とする半導体チップ。

【請求項2】 請求項1記載の半導体チップにおいて、前記低抵抗率半導体領域は、前記チップのデバイス領域内に形成された埋込サブコレクタ領域と同時に形成されることを特徴とする半導体チップ。

【請求項3】 請求項2記載の半導体チップにおいて、絶縁基板を有し、

前記埋込サブコレクタ領域および前記埋込低抵抗率半導体領域は、 n^+ にドーピングされ、前記基板上にあることを特徴とする半導体チップ。

【請求項4】 請求項2記載の半導体チップにおいて、絶縁基板を有し、

前記埋込サブコレクタ領域および前記埋込低抵抗率半導体領域は、 p^+ にドーピングされ、前記基板上にあることを特徴とする半導体チップ。

【請求項5】 請求項1記載の半導体チップにおいて、前記チップはバルクシリコンで形成され、前記低抵抗率領域は埋込領域であることを特徴とする半導体チップ。

【請求項6】 請求項1記載の半導体チップにおいて、前記チップはシリコン・オン・インシュレータで形成され、前記低抵抗率領域はデバイスが形成されないシリコン膜部分を有することを特徴とする半導体チップ。

【請求項7】 請求項6記載の半導体チップにおいて、前記デバイスの少なくとも1つは電界効果トランジスタであることを特徴とする半導体チップ。

【請求項8】 請求項1記載の半導体チップにおいて、バイポーラ・トランジスタが形成されるデバイス領域を有することを特徴とする半導体チップ。

【請求項9】 請求項1記載の半導体チップにおいて、薄膜トランジスタが形成されるデバイス領域を有することを特徴とする半導体チップ。

【請求項10】 半導体チップにおいて、前記チップの溝分離領域内の複数のデバイスと、前記溝分離領域外の複数のノンデバイス領域と、前記チップの前記複数のノンデバイス領域内の埋込低抵抗率半導体領域と、前記埋込低抵抗率半導体領域に電氣的に接続されたリーチスルー領域と、前記リーチスルー領域と前記低抵抗率半導体領域をグラ

2

ウンド電位に電氣的に接続して、オンチップ・グラウンド・ブレインを与える上側コンタクトと、を有することを特徴とする半導体チップ。

【請求項11】 請求項10記載の半導体チップにおいて、

前記複数のデバイスのうちの1つ以上のデバイスは、埋込サブコレクタ領域を有する複数のバイポーラ・トランジスタを有し、

前記埋込サブコレクタ領域および前記埋込低抵抗率半導体領域は、同時に形成された1つの半導体層を有するが、前記溝分離領域により電氣的に分離されていることを特徴とする半導体チップ。

【請求項12】 請求項11記載の半導体チップにおいて、

前記埋込サブコレクタ領域および前記埋込低抵抗率半導体領域は、 $P-N$ 接合によりさらに電氣的に分離されることを特徴とする半導体チップ。

【請求項13】 請求項11記載の半導体チップにおいて、

前記チップは p^- 形基板を有し、前記埋込サブコレクタ領域および前記埋込低抵抗率半導体領域は、 n^+ にドーピングされ、前記基板上にあることを特徴とする半導体チップ。

【請求項14】 請求項11記載の半導体チップにおいて、

前記チップは n^- 形基板を有し、前記埋込サブコレクタ領域および前記埋込低抵抗率半導体領域は、 p^+ にドーピングされ、前記基板上にあることを特徴とする半導体チップ。

【請求項15】 請求項11記載の半導体チップにおいて、

前記チップは絶縁基板を有し、前記埋込サブコレクタ領域および前記埋込低抵抗率半導体領域は、 n^+ にドーピングされ、前記基板上にあることを特徴とする半導体チップ。

【請求項16】 請求項11記載の半導体チップにおいて、

前記チップは絶縁基板を有し、前記埋込サブコレクタ領域および前記埋込低抵抗率半導体領域は、 p^+ にドーピングされ、前記基板上にあることを特徴とする半導体チップ。

【請求項17】 デバイス領域およびデバイス領域外のノンデバイス領域に、複数のデバイスを有する半導体チップのためのオンチップ・グラウンド・ブレインを作製する方法において、

前記チップの相当多数の前記ノンデバイス領域内に、高ドーパント濃度の半導体領域を形成する工程と、

前記高ドーパント濃度の半導体領域をグラウンド電位に電氣的に接続して、前記オンチップ・グラウンド・ブレインを与える工程と、を含むことを特徴とする方法。

【請求項18】請求項17記載の方法において、前記チップは薄いシリコン膜を有するシリコン・オン・インシュレータ基板上に形成され、前記高ドーパント濃度の半導体領域は前記膜部分であることを特徴とする方法。

【請求項19】請求項17記載の方法において、前記デバイス領域内に、電界効果トランジスタおよびバイポーラ・トランジスタの一方を形成する工程をさらに含むことを特徴とする方法。

【請求項20】溝分離領域および前記溝分離領域外のノンデバイス領域に、複数のデバイスを有する半導体チップのためのオンチップ・グラウンド・プレーンを作製する方法において、

前記チップの相当多数の前記ノンデバイス領域内に、埋込高ドーパント濃度の半導体領域を形成する工程と、前記埋込高ドーパント濃度の半導体領域をグラウンド電位に電気的に接続して、前記オンチップ・グラウンド・プレーンを与える工程と、を含むことを特徴とする方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体デバイスの分野、特に、寄生信号伝搬を減少させるために半導体デバイスのための表側コンタクトを有するオンチップ・グラウンド・プレーンに関する。

【0002】

【従来の技術】寄生信号伝搬によるエラーは、半導体デバイスの動作およびデバイス・テストに悪い影響を与える。

【0003】この問題の一例は、共通エミッタ（CE）構造を用いるバイポーラ・トランジスタにおける散乱パラメータ（略して、S-パラメータ）測定の際に、観察できる。S-パラメータ測定は、通常的手段であり、トランジスタの高周波性能を特徴づけるために広く使用されている。CE構造は、回路応用のために使用されるバイポーラ・トランジスタを特徴づけるのに好適である。なぜならば、CE構造は、大半のデジタル回路に使用される構造に最も近いからである。共通コレクタ測定のような他の構造は、テスト中のデバイスに加えられるすべてのキャパシタンス（例えば、コレクタ対基板のキャパシタンス）に感応しない。S-パラメータについての論述としては、“Application Note 154: S-Parameter Design,” Hewlett Packard, April, 1972, pp. 1-22; および “Microwave Theory and Applications,” Stephen F. Adam, Prentice-Hall, Inc., Englewood cliffs, New Jersey, 1969, pp. 86-89を参照されたい。

【0004】2ポート・ネットワークは、CEのS-パラメータ測定に使用される。これらの2ポートは、信号ポート1および2と呼ばれ、共通グラウンド接続を共有する。信号ポート1および2は、一般に $70 \times 70 \mu\text{m}^2$ あるいは $100 \times 100 \mu\text{m}^2$ である矩形信号プローブ・パッドを有する。ポート1とポート2の信号プローブ・パッドは、導電性フィンガーにより、トランジスタ（すなわち、テスト中のデバイス）のベース領域およびコレクタ領域にそれぞれ接続される。エミッタ領域は、測定のために接地され、したがって、ポート1および2に対して共通グラウンドを与える。2ポート・ネットワークの手法の使用は、欠点を有している。なぜならば、シリコン（Si）基板に作られたデバイスのS-パラメータ測定の際に、寄生信号が、ポート1と2との間の基板を通して伝搬しうるからである。

【0005】寄生信号伝搬は、“開放”校正構造上あるいはトランジスタ上の反射測定に対し、およそ1~2GHzで観察される共振を生成する。これらの共振は、通常の校正手順では修正されない。したがって、S-パラメータの抽出において、特に高利得、高周波のデバイスに対する重大なエラーにつながる。

【0006】寄生信号伝搬の他の影響は、ポート1と2との間の寄生伝達である。幾つかの校正手順は、このエラーを修正しない。一方、他の幾つかの校正手順は、エラーを修正するが、ある程度の残留エラーは依然として残る。これらのエラーは、トランジスタのサイズに反比例し、信号プローブ・パッドのサイズに比例する。

【0007】上述したエラー、特に寄生伝達は、また、通常動作中のトランジスタの性能に影響する。

【0008】アナログ回路のような応用に対して今日一般に使用されるグラウンド・プレーンは、トランジスタ／回路が設けられる表面上の活性領域の下でのシリコン基板である。さらに、グラウンド・プレーンは、裏側コンタクトに接触される。

【0009】相互接続された多数のトランジスタを有する複合回路では、グラウンド・プレーンは、信号減衰あるいは非線形性（アナログ応用に対して重要である）を引き起こす共振を除去することができ、より一般的に言う、電氣的ノイズを減少することができる。この種の外来の信号伝搬は、基板を経て発生する。

【0010】外来の信号伝搬に対する第2のパスは、相互接続ラインの間に生成される。シリコン中でのグラウンド・プレーンの使用は、隣接する相互接続ライン上のクロストークあるいはノイズ発生を減少を可能にする。信号ラインから放射する電界は、隣接するラインへ結合するよりはむしろグラウンド・プレーンで終了する。完全なグラウンド・プレーンと共に、制御されたインピーダンスを有する相互接続ラインを実現できる。これは、信号が伝搬する周波数が増大して、その周囲への相互接続ラインの感度を増強するに従って、ますます重要にな

る。

【0011】第1のレベルの金属に配線された相互接続、すなわち、基板に最も近い相互接続が、最も効果的なものであるだろう。幾つかの場合において、これら相互接続は、第1の相互接続レベル上の金属グラウンド・プレーンの除去、あるいはクロストークの減少を保証する信号ラインの一方の側の2つの並列に接地された相互接続の除去を可能にすることができる。

【0012】上述の利点は、高周波アナログ回路では重要な役割をはたすが、上述の欠点は、非常に高いクロック周波数で動作するデジタル応用に対しては重大な問題になりつつある。

【0013】米国特許第4,791,473号明細書は、内部グラウンド・プレーンを有するプラスチック半導体デバイス・パッケージを開示しており、内部グラウンド・プレーンは、パッケージ内で高周波信号劣化を減少させるために、インターリード分離を与える。接地された相互接続のような他の従来の技術と同様に、前記プラスチックパッケージの欠点は、そのような構造が、半導体チップ自身を製造するのに必要とされる工程に加えて追加の製造工程を必要とするということである。

【0014】

【発明が解決しようとする課題】デバイス動作中の寄生信号を減少させ、チップ自身の作製に対して製造工程あるいはコストを追加することなしに製造することができる、半導体デバイスのためのオンチップ・グラウンド・プレーンが必要とされている。

【0015】

【課題を解決するための手段】本発明は、高周波信号劣化および寄生信号伝搬を減少させるためのオンチップ・グラウンド・プレーンに関する。

【0016】オンチップ・グラウンド・プレーンは、チップの複数のノンデバイス領域内の埋込低抵抗率半導体領域と、埋込低抵抗率半導体領域に電気的に接続されたリーチスルー領域と、リーチスルー領域と埋込低抵抗率半導体領域をグラウンド電位に電気的に結合して、オンチップ・グラウンド・プレーンを電気的に接地する、リーチスルー領域に電気的に接続された表側コンタクトとを有している。表側コンタクトは、DCおよびACグラウンドの両方の鮮明度を改善する大きなコンタクト領域を有する。

【0017】本発明のオンチップ・グラウンド・プレーンは、追加の半導体製造工程あるいはコストを必要としない。また、本発明のオンチップ・グラウンド・プレーンは、半導体デバイス・パッケージ内、あるいは金属相互接続層内に、グラウンド・プレーンを設けるコストを排除する。

【0018】

【実施例】図1は、分離溝およびP-N接合分離と、パ

ターニングされたサブコレクタとを有する従来のバイポーラ接合トランジスタ(BJT)100の代表的な例を示す。BJT100は、 p^- (pマイナス)導電形のシリコン基板101を有している。BJT100は、 n^+ (nプラス)導電形のエミッタ領域102、 p 導電形のベース領域104、および n 導電形のコレクタ領域106を有する垂直形デバイスである。エミッタ・ポリシリコン・コンタクト層108およびエミッタ金属コンタクト層110は、エミッタ領域102に電気的に接触するために使用される。同様に、ベース・ポリシリコン・コンタクト層114およびベース金属コンタクト層116は、 p^+ 導電形の低抵抗率ベース・コンタクト領域112を経て、ベース領域104に接触するために使用される。絶縁層117は、バターニングされ、エミッタ・コンタクト層およびベース・コンタクト層を電気的に分離する。 $(p^-$ および n^+ のような導電形は、一例として与えられ、関連するドーパントの種類および濃度等は、本発明の実施には重要ではないが、当業者には明白であろう)。

【0019】また、BJT100は、 n^+ 導電形の低抵抗率サブコレクタ118を有している。サブコレクタ118は、埋込層である。埋込サブコレクタ118は、BJT100の上面に設けられた n^+ 導電形のリーチスルー・サブコレクタ・コンタクト領域120およびコレクタ/サブコレクタ金属コンタクト層122を用いて、電気的に接触される。埋込サブコレクタ118、リーチスルー・サブコレクタ・コンタクト領域120、およびコレクタ/サブコレクタ金属コンタクト層122(まとめてコレクタ・コンタクトと呼ばれる)は、コレクタ領域106に電気的接続を与える。P-N接合分離は、埋込サブコレクタ118と基板101との間の界面でBJT100に与えられる。

【0020】フィールド酸化物層124は、BJT100を完全に取り囲み、したがって、BJT100と隣接デバイス(図示せず)との間の横方向の電気的分離と、活性デバイス領域102、104、106とコレクタ・コンタクトとの間の分離とを与える。フィールド酸化物層124は、リセスされた酸化物分離(ROX)あるいは浅い溝分離(STI)とすることができる。

【0021】さらに、垂直方向の分離は、酸化物128およびポリシリコン130で満たされた分離溝126を用いて基板に至るまで形成される。分離溝126は、他のすべての横方向デバイス(図示せず)からBJTを分離するようにBJT100を完全に取り囲む。さらに、 p^+ 形濃度のチャネル・ストップ132が、分離溝126の底部に形成され、デバイス間のキャリア輸送をさらに妨げる。埋込サブコレクタ118は、溝126により分離された基板の領域にのみ存在するようにバターニングされる。

【0022】本発明を、図2に基づいて説明する。図2

7

は、 n^+ 形濃度を有する低抵抗率サブコレクタ層202である本発明のオンチップ・グラウンド・ブレインを示す。ブランケット・サブコレクタ層202は、分離溝126により、BJT100のサブコレクタ118から電気的に分離される。 n^+ 形濃度のリーチスルー領域204および表側金属グラウンド・コンタクト206は、サブコレクタ層202への低抵抗率の電氣的接続を与える。金属グラウンド・コンタクト206は、サブコレクタ層202を半導体チップの電氣的グラウンド電位（図示せず）に電氣的に接続し、オンチップ・グラウンド・ブレインは形成される。

【0023】本発明は、成功裡に実施できた。サブコレクタ層202は、オンチップ・グラウンド・ブレインとして機能し、活性デバイスの間の寄生結合を減少させ、高周波信号劣化を減少させることが確かめられた。

【0024】サブコレクタ層202は、当業者には明白なイオン注入、堆積などを用いて、サブコレクタ118と同時に形成される。しかし、上述したように、分離溝126の存在のために、オンチップ・グラウンド・ブレイン（すなわち、サブコレクタ層202）とサブコレクタ118は、完全に電氣的に分離される。オンチップ・グラウンド・ブレインを接地することは、サブコレクタ118あるいはコレクタ領域106の電氣的状態には影響しない。他の実施例において、基板は、 p 形シリコンよりもむしろサファイアあるいはガラスのような絶縁基板とすることができる。オンチップ・グラウンド・ブレインおよび一例としてのBJT100と、分離溝126により形成された分離領域に囲まれたすべての他のデバイスを製造するために使用される製造技術は、半導体技術の当業者には明白になるだろう。さらに、オンチップ・グラウンド・ブレインは、チップの一部分だけに形成されるようにパターンニングすることができた。

【0025】図3は、本発明のオンチップ・グラウンド・ブレインの概略図である。半導体チップ302は、分離溝126により互いに各々電氣的に分離された複数の半導体デバイス304を含む。本発明によれば、埋込ブランケット・サブコレクタ202は、グラウンド・リード線206を経て、チップ・グラウンド電位306に接続され、高周波信号劣化を減少させる。デバイス304は、BJT, FET, 集積受動素子、あるいはその組合わせを含むようなものとする事ができる。

【0026】図4に関して、本発明は、電界効果トランジスタFET310がバルクシリコンで形成されるチップに利用される。1個のnFETが示されているが、他のnFETあるいはpFETも形成することができる。

【0027】 p^+ 基板312は、本発明に従いグラウンド・ブレインを形成する。 p^- シリコンのエピタキシャル層314は、基板312上に成長する。酸化物分離層315は、形成されるデバイス間の分離を与えるために、選択領域内の層314上に形成される。ソース領域

8

316およびドレイン領域318は、イオン注入あるいは拡散により形成される。ゲート絶縁体320は、注入されたチャネル領域322上に形成される。金属あるいはポリシリコンのゲート324は、ゲート絶縁体320上に形成される。

【0028】グラウンド・ブレインとして作用する基板312に対する接続は、上部金属層328と下側の p^+ 基板312との間に大きなコンタクト326を形成することにより達成される。コンタクト326は、上部金属層328にこれを接続するためのコンタクト金属を有する p^- エピ層314内の p^- 形注入層、あるいは、 p^+ 基板312に達するタングステン・スタッド・コンタクトで作製される。高周波信号に対するグラウンド・ブレインとして作用するためには、特に p^- 形注入層に対するコンタクト面積は、上部金属層328と p^+ 基板314との間の低抵抗路を得るために十分大きくなければならない。技術上周知のように、絶縁および金属化の追加の層が、デバイスとのコンタクトを形成するのに必要とされることは、理解されるであろう。

【0029】nFETおよびpFETから成るバルクシリコンで作製されたCMOSデバイスおよび回路に対して、nFETに使用されるのと同様のコンタクト方法を、グラウンド・ブレインを形成するために使用することができる。

【0030】図5において、シリコン・オン・インシュレータ（SOI）技術で作製されたFETに対して、シリコン膜340は、一般的に200nm未満の厚さである。デバイスの下側に多量にドーピングされた領域を設けることは、SOI構造に固有の利点を無効にする。さらに、連続する導電基板は、バルクシリコン基板344からシリコン膜340を分離する介在絶縁体層342のために、接触することができない。この技術において、“グラウンド・ブレイン” 概念の種々の実施は、図5に示したように、シリコン層を利用することにより達成することができる。デバイス領域外に酸化物を形成する代わりに、酸化物346の小さな領域を、図4のFET310に類似したFET311のようなデバイスを分離するために形成する。図4では、同一の参照数字は同様の部分を示す。シリコン膜340の他の部分は、抵抗率を減少させるために、注入、好適には n^- 形の注入を受ける。絶縁層350は、シリコン膜340上に形成され、その後に形成されるデバイス・コンタクト352および金属ライン354を分離する。グラウンド・ブレインとして使用されるシリコン膜340の領域は、ソース領域316およびドレイン領域318を接触するために使用される同様の金属により接触される。このとき、コンタクト356は、グラウンドへの接続のためにウェハの上部に形成される。したがって、シリコン膜340の未使用領域のすべては、前述の金属レベル上の信号のための、デバイス外部のグラウンド・ブレインとして作用す

る。

【0031】パッケージング構造でグラウンド・プレーンを形成する従来の技術とは異なり、本発明では、内部にグラウンド・プレーンを有し、そのグラウンド・プレーンがチップ・グラウンドあるいは外部グラウンドに完全に接地される構造内に完全に埋込まれる。本発明によれば、グラウンド・プレーンは、デバイス自身を作製する製造プロセスの工程中に、半導体チップ上に作り出される。

【0032】本発明の他の実施例は、デバイス領域外の低抵抗率サブコレクタをAC接地することにより、基板を通る寄生信号伝搬を除去するS-パラメータ・サイトの形状に関係している。サイトの構造は、信号プローブ・パッド、および信号プローブ・パッドからテスト中のデバイスへつながるフィンガーを含む。

【0033】本発明によるS-パラメータ・サイトの平面図が図6で示されている。テスト中のデバイス（例えば、BJT）は、402に矢印で示されている。信号プローブ・パッド404および406は、各々対の導電性フィンガー・リード線408および410を経て、各々ベース領域およびコレクタ領域（図示せず）に電気的接続を与える。エミッタ・グラウンド・プローブ・パッド412は、大きなコンタクト414を通して、エミッタ領域（図示せず）に接続される。

【0034】点線416により示された低抵抗パスは、リーチスルー・イオン注入などで得られ、エミッタ・グラウンド・プローブ・パッド412と大きなコンタクト414を、分離溝の外部のサブコレクタ層に電気的に接続する。テスト中のデバイスのサブコレクタ領域は、それを取り囲む分離溝により、接地したサブコレクタ層から分離される（図4には示されていないが、上述している）。リーチスルーに対するイオン注入を用いて、追加の製造工程を削除する。リーチスルー416を形成するために使用される他の方法は、当業者には明白であろう。

【0035】本発明によれば、従来のテスト・サイトと比較して、寄生信号の故に、S-パラメータのテスト中に共振は観察されない。信号プローブ・パッド404/406は、グラウンドに対するレジスタおよびキャパシタの直列の組み合わせとして作用し、“十分な校正（full calibration）”技術あるいは“開放校正（open calibration）”で正確に校正される。例えば、Van Wijnen, P. J., “A New Straightforward Calibration and Correction Procedure for On Wafer High Frequency S-Parameter Measurements (45MHz-18GHz)”, Digest of 1987 Bipolar Circuits and Technology

Meeting, pp. 70-73を参照されたい。

【0036】本発明による構造の重大な利点は、基板を経たポート1とポート2との間の寄生フィードスルー（feed-through）の減少である。10GHzで、AC接地されたサブコレクタ202は、フィードスルーを約1桁減少させる。これは、非常に小さい（ $5\mu\text{m}^2$ 以下）エミッタ上での、測定に残留エラーを十分に減少させる。

【0037】また、本発明による構造は、シリコンのマイクロ波集積回路にとって非常に魅力的である。寄生基板の導通は、これらの応用にとって重要な問題である。例えば、Schmits, et. al., in “A Deep-Submicrometer Microwave/Digital CMOS/SOS Technology,” IEEE Electron Device Lett., Vol. 12, No. 1, pp. 16-17, (1991); Caviglia, et. al., in “Microwave Performance of SOI n-MOSFET's and Coplanar Waveguides,” IEEE Electron Device Lett., Vol. 12, No. 1, pp. 26-27, (1991); Agarwal et. al., in “MICROX-An Advanced Silicon Technology for Microwave Circuits up to X-Band,” IEDM Technical Digest, pp. 687-690, (1991)を参照されたい。

【0038】マイクロ波デバイスにおけるこの寄生効果に対する標準的な解決方法は、非常に高い抵抗率基板あるいはシリコン・オン・サファイア（SOS）基板を使用することである。損失は多いが、デバイスの外部の接地されたサブコレクタを有する本発明は、特別のプロセスあるいはウェハを必要としないので、より安価な方法である。

【0039】本発明を、好適な実施例について説明したが、n⁻領域およびp⁻領域を変更するような、構成および詳細における種々の変形を、本発明の趣旨および範囲から逸脱することなく行うことができることは、当業者は理解できるであろう。

【0040】まとめとして、本発明の構成に関して以下の事項を開示する。

(1) オンチップ・グラウンド・プレーンを有する半導体チップにおいて、前記チップの複数のノンデバイス領域内の低抵抗率半導体領域と、前記低抵抗率半導体領域に電気的に接続されたリーチスルー低抵抗率領域と、前記リーチスルー低抵抗率領域と前記低抵抗率半導体領域をグラウンド電位に電気的に結合して、前記オンチップ・グラウンド・プレーンを電気的に接地する、前記リーチスルー領域に電気的に接続された表側コンタクトと、

を有することを特徴とする半導体チップ。

(2) 上記(1)に記載の半導体チップにおいて、前記低抵抗率半導体領域は、前記チップのデバイス領域内に形成された埋込サブコレクタ領域と同時に形成されることを特徴とする半導体チップ。

(3) 上記(2)に記載の半導体チップにおいて、絶縁基板を有し、前記埋込サブコレクタ領域および前記埋込低抵抗率半導体領域は、 n^+ にドーピングされ、前記基板上にあることを特徴とする半導体チップ。

(4) 上記(2)に記載の半導体チップにおいて、絶縁基板を有し、前記埋込サブコレクタ領域および前記埋込低抵抗率半導体領域は、 p^+ にドーピングされ、前記基板上にあることを特徴とする半導体チップ。

(5) 上記(1)に記載の半導体チップにおいて、前記チップはバルクシリコンで形成され、前記低抵抗率領域は埋込領域であることを特徴とする半導体チップ。

(6) 上記(1)に記載の半導体チップにおいて、前記チップはシリコン・オン・インシュレータで形成され、前記低抵抗率領域はデバイスが形成されないシリコン膜部分を有することを特徴とする半導体チップ。

(7) 上記(6)に記載の半導体チップにおいて、前記デバイスの少なくとも1つは電界効果トランジスタであることを特徴とする半導体チップ。

(8) 上記(1)に記載の半導体チップにおいて、バイポーラ・トランジスタが形成されるデバイス領域を有することを特徴とする半導体チップ。

(9) 上記(1)に記載の半導体チップにおいて、薄膜トランジスタが形成されるデバイス領域を有することを特徴とする半導体チップ。

(10) 半導体チップにおいて、前記チップの溝分離領域内の複数のデバイスと、前記溝分離領域外の複数のノンデバイス領域と、前記チップの前記複数のノンデバイス領域内の埋込低抵抗率半導体領域と、前記埋込低抵抗率半導体領域に電気的に接続されたリーチスルー領域と、前記リーチスルー領域と前記低抵抗率半導体領域をグラウンド電位に電気的に接続して、オンチップ・グラウンド・ブレインを与える上側コンタクトと、を有することを特徴とする半導体チップ。

(11) 上記(10)に記載の半導体チップにおいて、前記複数のデバイスのうちの1つ以上のデバイスは、埋込サブコレクタ領域を有する複数のバイポーラ・トランジスタを有し、前記埋込サブコレクタ領域および前記埋込低抵抗率半導体領域は、同時に形成された1つの半導体層を有するが、前記溝分離領域により電気的に分離されていることを特徴とする半導体チップ。

(12) 上記(11)に記載の半導体チップにおいて、前記埋込サブコレクタ領域および前記埋込低抵抗率半導体領域は、 $P-N$ 接合によりさらに電気的に分離されることを特徴とする半導体チップ。

(13) 上記(11)に記載の半導体チップにおいて、

前記チップは p^- 形基板を有し、前記埋込サブコレクタ領域および前記埋込低抵抗率半導体領域は、 n^+ にドーピングされ、前記基板上にあることを特徴とする半導体チップ。

(14) 上記(11)に記載の半導体チップにおいて、前記チップは n^- 形基板を有し、前記埋込サブコレクタ領域および前記埋込低抵抗率半導体領域は、 p^+ にドーピングされ、前記基板上にあることを特徴とする半導体チップ。

10 (15) 上記(11)に記載の半導体チップにおいて、前記チップは絶縁基板を有し、前記埋込サブコレクタ領域および前記埋込低抵抗率半導体領域は、 n^+ にドーピングされ、前記基板上にあることを特徴とする半導体チップ。

(16) 上記(11)に記載の半導体チップにおいて、前記チップは絶縁基板を有し、前記埋込サブコレクタ領域および前記埋込低抵抗率半導体領域は、 p^+ にドーピングされ、前記基板上にあることを特徴とする半導体チップ。

20 (17) デバイス領域およびデバイス領域外のノンデバイス領域に、複数のデバイスを有する半導体チップのためのオンチップ・グラウンド・ブレインを作製する方法において、前記チップの相当多数の前記ノンデバイス領域内に、高ドーパント濃度の半導体領域を形成する工程と、前記高ドーパント濃度の半導体領域をグラウンド電位に電気的に接続して、前記オンチップ・グラウンド・ブレインを与える工程と、を含むことを特徴とする方法。

30 (18) 上記(17)に記載の方法において、前記チップは薄いシリコン膜を有するシリコン・オン・インシュレータ基板上に形成され、前記高ドーパント濃度の半導体領域は前記膜部分であることを特徴とする方法。

(19) 上記(17)に記載の方法において、前記デバイス領域内に、電界効果トランジスタおよびバイポーラ・トランジスタの一方を形成する工程をさらに含むことを特徴とする方法。

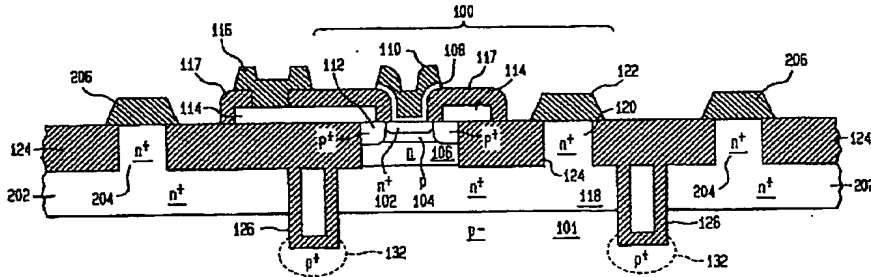
40 (20) 溝分離領域および前記溝分離領域外のノンデバイス領域に、複数のデバイスを有する半導体チップのためのオンチップ・グラウンド・ブレインを作製する方法において、前記チップの相当多数の前記ノンデバイス領域内に、埋込高ドーパント濃度の半導体領域を形成する工程と、前記埋込高ドーパント濃度の半導体領域をグラウンド電位に電気的に接続して、前記オンチップ・グラウンド・ブレインを与える工程と、を含むことを特徴とする方法。

【図面の簡単な説明】

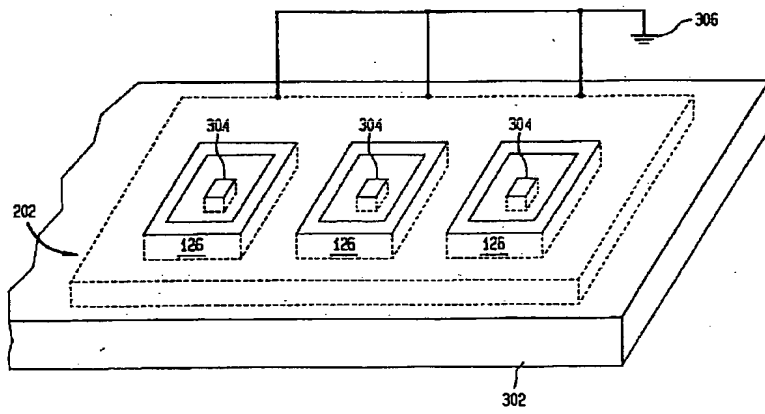
【図1】従来のバイポーラ・トランジスタの代表的な例を示す図である。

【図2】本発明のオンチップ・グラウンド・ブレインを示す図である。

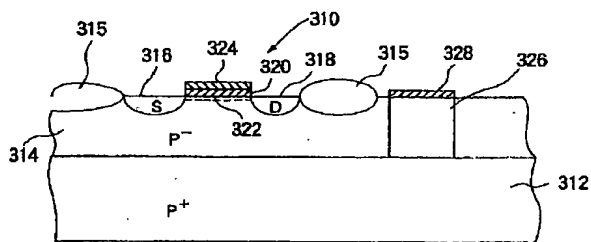
【図2】



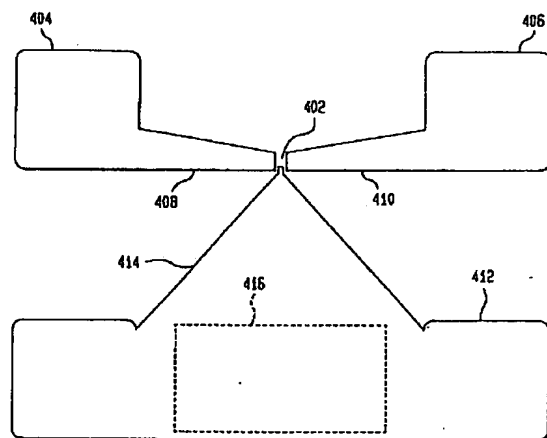
【図3】



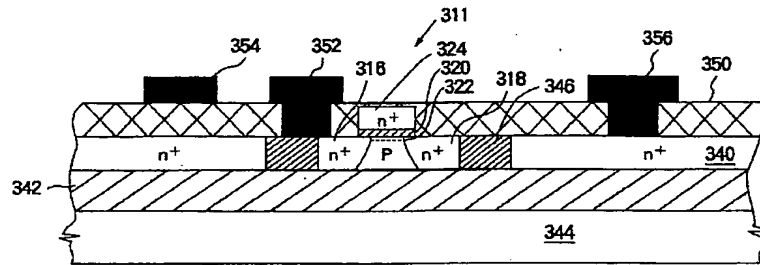
【図4】



【図6】



【図 5】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 27/04

21/822

21/8249

27/06

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04

D

H

27/06

3 2 1 B

(72) 発明者 キース・エイ・ジェンキンス

アメリカ合衆国 ニューヨーク州 タリー

タウン タッパン ランディング ロード

51

(72) 発明者 ジェフリー・エル・スネアー

アメリカ合衆国 ニューヨーク州 ヴァー

バンク アールディー 2 ボックス 80

(番地なし)